

E5904-01EG
ASA-1006

Japanese Language Patent Application

Title of the Invention

CLOCK PRODUCING CIRCUIT AND
SEMICONDUCTOR INTEGRATED CIRCUIT
FOR COMMUNICATION

Inventors

Keiki WATANABE,
Satoshi UENO,
Takashi HARADA,
Atsushi TAKAI,
Ryoji TAKEYARI.

クロック生成回路および通信用半導体集積回路

CLOCK PRODUCING CIRCUIT AND SEMICONDUCTOR INTEGRATED
CIRCUIT FOR COMMUNICATION

発明の背景

(3) 【発明の詳細な説明】

【~~0001~~】

【発明の属する技術分野】

本発明は、PLL（フェーズ・ロックド・ループ）回路を用いたクロック生成回路に適用して有効な技術に関し、例えばシリアルデータを取り込むためのクロック信号を生成するクロック生成回路を内蔵した通信用LSI（大規模半導体集積回路）^(装置)に~~利用して有効な技術~~に関する。

【~~0002~~】

【従来の技術】

近年、データ通信用LSIにおいては、入力シリアルデータからタイミングクロックを抽出したり、入力クロックに基づいて入力シリアルデータを取り込むための位相の安定したクロック信号を生成したりするのにPLL回路が用いられている。

【~~0003~~】

従来、シリアルデータと共に^{data fetch clock}データ取込み用のクロック入力シリアルデータが送られて来るシステムでは、データを一旦入力バッファに取り^{fetch}込んでから出力する場合、データの読出しタイミングを与えるクロックを生成するのに、図8に示すように、^(半導体集積回路装置に於ける)入力クロック ϕ_{in} を基準クロックとしその位相と帰還クロック ϕ_f の位相とを比較して両クロックの位相が一致するようなクロックを生成するPLL回路が使用されていた。このような方式のPLL回路は、入力されるシリアルデータと共に送られて来るデータ取込み用のクロックの位相が比較的安定している場合には特に問題はない。

【~~0004~~】

なお、図8において、VCOは電圧制御型の発振器、PHCは外部^{入力}基準クロック ϕ_{in} と帰還クロック ϕ_f の位相差を検出する位相比較器、LPFは位相差に応じた電圧を発生して電圧制御発振器VCOに供給するループフィルタ、DVDは^(本)VCOの発振出力を分周する分周器、IBFは入力クロック ϕ_{in} に基づいて入

- (1) カシリアルデータ D_{in} を取込み分周器 DVD からのクロック CLK に基づいて
<P3> データを出力する FIFO (ファーストイン・ファーストアウト) メモリのような
入力バッファ回路、DSP はパラレル・シリアル変換等の信号処理を行なう信
(4) 号処理回路である。

発明の概要

(5) ~~【0005】~~

~~【発明が解決しようとする課題】~~

本発明者らは、新たに光通信用 LSI を開発するに当たり上記方式の PLL 回路について検討を行なったところ、当該通信用 LSI が使用されるユーザーシステムの構成によっては、データ取込み用の入力クロックの位相が安定していない場合がある。すなわち、データ取込み用の入力クロックは、データと同時に入力され周波数情報を持つが、データとの位相関係は保証されていない。そこで、~~図~~ ^{このため、データの正確な受け渡ししかできないことがある。}
9 に示すように、入力クロック ϕ_{in} ^(とは別に) 以外の周波数および位相が安定した ^(基準) クロック ϕ_0 を入力してそれを基準クロックとし帰還クロック ϕ_f の位相と比較して両クロックの位相が一致するようなクロック CLK を生成する PLL 回路について検討した。

~~【0006】~~

<P3> しかしながら、かかる方式では、入力クロック ϕ_{in} の位相が外部基準クロック ϕ_0 から生成したクロック CLK の位相と大きくずれてしまうことがあり、それによってデータの正確な ^{transfer} 受渡しが行なえないおそれが生じる。また、当該通信用 LSI が使用されるユーザーシステムの構成によっては、データ取込み用の入力クロック ϕ_{in} の位相が安定している場合があり、その場合には入力クロック ϕ_{in} に基づいて読出し用のクロック CLK を生成することでそのような問題を回避することができる。しかし、それぞれのシステムに対応してクロック生成回路の形式が異なる別個の LSI を設計したのでは、^{(LSI) (の)} チップコストが必要以上に高
(25) くなってしまう。 ~~【という問題点がある】~~

なお、1998 年 6 月 2 日に公布された米国特許第 5,761,203 号 (発明者 Luis E. Morales、被譲渡人 Lucent Technologies Inc., Murray Hill N.J.) には、ATM 網における信号の同期および非同期回復のための装置において、データ

・ストリーム内に含まれるタイミング情報に基づく第1のタイミング信号発生器と、フロックソース
・に基づく第2のタイミング信号発生器とを設け、両者の出力のいずれかがホススイッチ
・により選択され、その選択された出力でバッファの読み出しを行なうことが示されている。

(26) ~~【0007】~~

<p3> この発明の目的は、入力クロックに基づいて入力データを取り込んで出力する
バッファを有する通信用半導体集積回路において、入力クロックの位相が安定し
(末) ていない場合においても正確なデータの受渡しを可能にする^(ことである。)~~クロックを生成可能~~

(1) ~~【0008】~~

~~【0008】~~

<p4> この発明の他の目的は、入力データと共に入力されるクロックとそれとは別個
の外部クロックのいずれのクロックを基準クロックとする場合にも対応可能なク
ロック生成回路を提供することにある。^(有する半導体集積回路装置を)

~~【0009】~~

(2) この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の
記述および添附図面から明らかになるであろう。

本発明の一側面によれば、入力データに関連した入力クロックに基づいた書き込み

クロックにより入力データが書き込まれ、書き込まれたデータがデータ読み出しクロッ

クにより読み出されるバッファを有する通信用半導体集積回路装置において、外部から

の選択信号に基づいて、入力クロックおよび外部から供給される安定化された外部ク

ロックのいずれかを選択するクロック切り替え手段と、そのクロック切り替え手段の出

力に基づいて読み出しクロックを生成する回路とを設ける。読み出しクロック生成回

路は、クロック切り替え手段の出力を受けそれにロックされたPLLクロックを発生

するPLL回路と、そのPLLクロックを分周して読み出しクロックを発生する分周器

とを含む。

図面の簡単な説明

図 1 は本発明の一実施例による、クロック生成回路を含む半導体集積回路装置のブロック図である。

図 2 A は本発明の一実施例による、クロック生成回路を含む半導体集積回路装置のブロック図であり、光通信用 L S I のデータ送信回路を構成している。

図 2 B は図 2 A の装置に用いることができる、オーバフロー／アンダフロー検出回路の一構成例を示すブロック図である。

図 2 C は図 2 B に示されたオーバフロー／アンダフロー検出回路の動作を示す動作タイミングチャートであり、オーバフロー／アンダフローが検出されない場合の動作を示す。

図 2 D は図 2 B に示されたオーバフロー／アンダフロー検出回路の動作を示す動作タイミングチャートであり、アンダフローが検出された場合の動作を示す。

図 3 は図 2 A に示されたデータ送信回路を構成する F I F O バッファの動作を示す動作タイミングチャートである。

図 4 は図 2 A に示されたデータ送信回路に用いることができる書き込みクロック生成回路の一構成例を示す論理構成図である。

図 5 は図 2 A に示されたデータ送信回路のリセット解除時の動作を示す動作タイミングチャートである。

図 6 は図 2 A に示されたデータ送信回路を構成する F I F O バッファ書き込みクロックと読み出しクロックおよび入力データとの関係を示すタイミングチャートである。

図 7 は本発明の一実施例による、データ送信回路を備えた通信用 L S I の一例としてのトランシーバ・チップを利用した通信システムの概略構成を示すブロック図である。

(11) ~~【図8】図8は~~ ^(を含ま) ^(を備えた半導体集積回路装置)
~~従来のPLL回路からなる~~クロック生成回路の一例を示す回路構成図である。

<pl6> ~~【図9】図9は~~ ^(を含ま) ^(を備えた)
本発明に先立って検討したPLL回路からなるクロック生成回路を示す回路構成図である。

実施例の詳細な説明

(5) 次に、本発明の実施例について図面を用いて説明する。
^{の一実施例による、半導体集積回路装置の}
図1には、本発明に係るクロック生成回路とそれを用いたデータバッファの概略構成を示すものである。

~~【0018】~~

^(を含ま半導体集積回路装置)
図1に示されているように、~~本発明の~~クロック生成回路は、位相比較器PHCとループフィルタLPFと電圧制御発振器VCOとからなるPLL回路の前段にセレクトSELが設けられ、このセレクトSELにより^(入力クロックポートに供給される)入力クロック ϕ_{in} と^(外部クロックポートに供給される)周波数および位相が安定した外部基準クロック ϕ_0 のいずれかを選択して位相比較器PHCに供給するように構成されている。また、位相比較器PHCには、電圧制御発振器VCOの出力を分周する分周器DVDからの信号が帰還クロック ϕ_f として供給されており、位相比較器PHCは、入力クロック ϕ_{in} または外部基準クロック ϕ_0 の位相と帰還クロック ϕ_f の位相とを比較して位相差に応じた電圧を発生して電圧制御発振器VCOに供給することにより、位相を一致させるようにPLL回路が動作する。このPLL回路と分周器DVDとによりクロック生成回路が構成される。

~~【0019】~~

^(入力データポートに供給される入力データDinを) ^(書き込む) ^(書き込まれたデータを)
一方、上記入力クロック ϕ_{in} に同期して~~入力データを取り込む~~とともに上記分周器DVDからのクロックCLKに同期して~~データを~~出力する入力バッファIBF^(装置に)が設けられているとともに、この入力バッファIBFにはANDゲートG1^(制御信号ポートに供給される)を介して外部からのリセットRST信号が入力可能に構成されており、入力バッファIBFにはANDゲートG1を介して外部からのリセットRST信号が入力
(26) されると、例えば入力クロック ϕ_{in} に同期した入力データの取込み動作を中断

- (27) するように構成されている。入力バッファIBFに取り込まれたデータは、分周器DVDからのクロックCLKに同期して読み出されて次段の信号処理部DSPに供給され、パラレル-シリアル変換等の信号処理が行なわれる。この信号処理部DSPもPLL回路により生成されたクロックにより動作される。

【0020】

さらに、上記ANDゲートG1には外部からのモード選択信号MSが入力されており、このモード選択信号MSがハイレベルのとき上記入力バッファIBFにはANDゲートG1を介して外部からのリセットRST信号が供給される。また、上記モード選択信号MSは上記セクタSELにも切換え制御信号として供給されており、モード選択信号MSがハイレベルのときセクタSELは外部基準クロックφ0を位相比較器PHCに供給し、モード選択信号MSがロウレベルのときセクタSELは入力クロックφinを位相比較器PHCに供給するように動作する。

【0021】

入力クロックφinが基準側クロックとして位相比較器PHCに供給されると、PLL回路は帰還クロックφfの位相を入力クロックφinの位相に合わせるように動作するので、生成されるクロックすなわち分周器DVDから出力されるクロックCLKの位相も入力クロックφinの位相と一致する。従って、入力クロックφinの位相が安定している場合には、PLL回路の基準側クロックとして入力クロックφinを使用することで、入力バッファIBFにおける正確な入力データの取込みと読出しが行なえる。

【0022】

一方、外部基準クロックφ0が位相比較器PHCに供給されると、PLL回路は帰還クロックφfの位相を外部基準クロックφ0の位相に合わせるように動作するので、生成されるクロックすなわち分周器DVDから出力されるクロックCLKの位相も外部基準クロックφ0の位相と一致する。しかして、この場合にも入力バッファIBFは入力クロックφinに同期して入力データを取り込む。そして、入力バッファIBFからのデータの読出しは、分周器DVDから出力されるクロックCLKに同期して行なわれる。従って、入力クロックφinの位相が不安定で、外部により安定したクロックがある場合には、PLL回路の基準クロックとして外部基準クロックφ0を使用することで、入力バッファIBFにおけるデータの読出しはnormally規則的に行なわれる。しかし、この場合には、外部基準ク

ロック $\phi 0$ と入力データとが非同期であるため、データ入力端子から信号処理回路への正確なデータの受渡しは保証されなくなる。

~~【0023】~~

そこで、この実施例では、PLL回路の基準~~部~~クロックとして外部基準クロック $\phi 0$ を使用するモードにおいては、ANDゲートG1よりリセット信号RSTを入力バッファIBFに入力してリセットをかけるようにしている。入力バッファIBFはリセット信号RSTが入力されると、データの取込みを中断するように動作する。これによって、誤ったデータの受渡しが回避される。なお、リセット信号RSTの入力によりデータの取込みを中断する代わりに、以下の実施例で説明するように入力クロック ϕin の位相を分周器DVDからのクロックCLKの位相に同期させる^(データを取り込めと再開する)ように構成しても良い。

~~【0024】~~

図2には、本発明を光通信用LSI（トランシーバ・チップ）のデータ送信回路に適用した場合の具体的な実施例を示す。この実施例のデータ送信回路は、^(入力データポートに供給される)各々転送レートが622Mb/sの16チャネルのデータ信号Din1~Din16を10GHzのデータ信号に多重化して送信する機能を有するもので、^(入力クロックポートに供給される)データ取込み用の入力クロック ϕin のジッタによる誤動作を防止するため、データ入力部にFIFO（ファーストイン・ファーストアウト）方式のバッファメモリ11を備えている。^{(設けられた4本(4ビット)のシフトレジスタSFT1~SFT4)}バッファメモリ11は、16本の各チャネルに対応してそれぞれ^(各々、各シフトレジスタ)入力段と出力段の2段のフリップフロップFFi, FFoからなる^(つまり、それぞれ4本の)4本のシフトレジスタSFT1~SFT4で構成され、^(各)シフトレジスタは入力クロック ϕin の1周期分ずつずれて動作される。

~~【0025】~~

特に制限されるものでないが、上記データ取込み用の入力クロック ϕin の周波数は622MHzであり、図示しないユーザシステムのASIC等で構成されたLSIから送信データDin1~Din16と共に入力される。また、この622MHzの入力クロック ϕin を4分周して、バッファメモリ11の各チャネルのシフトレジスタSFT1~SFT4の入力段FFiをラッチ動作させるのに必要な図3に示すような155MHzの書込みクロックWCLK1~WCLK

K4を生成する書込みクロック生成回路12と、バッファメモリ11に^{書き込み}取り込まれた~~送信~~データを読み出すため各チャネルのシフトレジスタSFT1～SFT4の出力段FFoを動作させる155MHzの読出しクロックR-CLK1～R-CLK4を生成する読出しクロック生成回路13が設けられている。

~~【0026】~~

上記書込みクロックW-CLK1～W-CLK4がバッファメモリ11に供給されると、図3に示すように、書込みクロックW-CLK1の立ち下がりに同期してそれぞれシフトレジスタSFT1の入力段FFiに入力データのビット(D1, D5, D9……)が順に取り込まれ、半周期遅れて読出しクロックR-CLK1の立ち下がりに同期してそれぞれシフトレジスタSFT1の出力段FFoにシフトされて読み出されて行く。また、書込みクロックW-CLK2の立ち下がりに同期してそれぞれシフトレジスタSFT2の入力段FFiに入力データのビット(D2, D6, D10……)が順に取り込まれ、半周期遅れて読出しクロックR-CLK2の立ち下がりに同期してそれぞれシフトレジスタSFT2の出力段FFoにシフトされて読み出されて行く。シフトレジスタSFT3, SFT4についても同様であり、シフトレジスタSFT3は書込みクロックW-CLK3と読出しクロックR-CLK3により、またシフトレジスタSFT4は書込みクロックW-CLK4と読出しクロックR-CLK4により動作される。

~~【0027】~~

この実施例では、上記読出しクロック生成回路13における読出しクロックR-CLK1～R-CLK4の生成の基準となる^(PLL)クロックCLKを与えるためにPLL回路が設けられている。特に制限されるものでないが、この実施例においては、上記基準となるクロックCLKを生成するPLL回路が、155MHzの^{中間基準}クロックを生成する第1のPLL回路14Aと、該PLL回路14Aで生成された^(中間基準)クロックに基づいて10GHzの^(PLL)クロックφxを生成する第2のPLL回路14Bとから構成されている。

~~【0028】~~

また、第1のPLL回路^(部)14Aの前段にセクタ15が設けられ、このセクタ15により入力クロックφinと^(外部クロックポートに供給される)外部基準クロックφ0のいずれかを選択して

(1) PLL回路14Aの位相比較器^{PHCa}PHC^和に供給するように構成されている。なお、この実施例で、セクタSELを介してPLL回路14Aに供給される~~入力側の~~クロックは上記入力クロック ϕ_{in} そのものでなく、入力クロック ϕ_{in} に基づいて~~データ書き込み用のクロック~~^{書き込みクロック}W-CLK1~W-CLK4を生成する上記書き込みクロック生成回路12で生成されたクロックW-CLK1もしくはそれと同一周期の15.5MHzのクロック^(W-CLK)である。

~~【0029】~~

上記セクタ15には、外部からの~~モード選択信号ポートに供給される~~モード選択信号MSが切換え制御信号として供給されており、このモード選択信号MSがハイレベルのときセクタ15は外部基準クロック ϕ_0 を第1PLL回路14Aの位相比較器PHCaに供給し、モード選択信号MSがロウレベルのときセクタ15は~~入力側の~~^{W-CLK}クロック ϕ_{in} を位相比較器^(PHCa)PHC^和に供給するように動作する。また、上記モード選択信号MSはANDゲートG1に制御信号として入力されている。

さらに、この実施例では、上記書き込みクロック生成回路12で生成されたデータ書き込み用のクロックW-CLKと、上記読出しクロック生成回路13で生成されたデータ読出し用のクロックR-CLKの位相を比較して~~位相が1周期以上ずれている~~^{(両者の) (相互に)}オーバーフローまたはアンダーフローを検出する検出回路16が設けられており、検出回路16がオーバーフローまたはアンダーフローを検出すると検出信号U/Oが外部へ出力される。

図2Bは、オーバーフロー/アンダーフロー検出回路16の一構成例を示す。図2Cは、オーバーフロー/アンダーフローが検出されない場合(正常動作)の動作波形を示し、図2Dは、アンダーフローが検出された場合の動作波形を示す。図2B、2C、2Dと通じ、丸で囲んだ参照数字は以下に記載の信号を示す。

① W-CLK (データ書き込みクロック)

② R-CLK (データ読出しクロック)

③ W-CLKの1/2分周信号

④ R-CLKの $\frac{1}{2}$ 分周信号

⑤ W-CLKの $\frac{1}{2}$ 分周信号と R-CLKの $\frac{1}{2}$ 分周信号の排他的論理和

⑥ アンダフロー検出エッジ信号

⑦ オーバフロー検出エッジ信号

⑧ RST (リセット) 信号

⑨ アンダフロー検出内部信号

⑩ オーバフロー検出内部信号

⑪ アンダフロー/オーバフロー検出信号 (⑨と⑩との AND 出力信号)

⑫ 内部リセット信号

⑬ Reset (リセット) 信号



11/24

図 2B の回路において、オーバーフロー／アンダーフローが検出されない場合（正常動作）の動作を図 2B^{2C}を用いて説明する。外部入力 RST 端子からの入力⑧がロウレベルに変化すると、OR ゲートの出力⑫がロウレベルに変化し、W-CLK①及び R-CLK②を受ける 1/2 分周回路が動作を開始し、それぞれ③、④を出力する。③、④の排他的論理和出力⑤は、2 つのフリップフロップ回路に入力される。これらのフリップフロップ回路は、オーバーフロー／アンダーフロー検出エッジ生成回路で生成された、アンダーフロー検出信号⑥、およびオーバーフロー検出信号⑦をエッジ信号として入力し、信号⑤に対して、検出信号⑥、⑦でハイレベルをラッチした場合に正常動作となる。（オーバーフロー検出側のフリップフロップ回路の入力は負論理入力）正常動作の場合、各フリップフロップ回路の出力⑨、⑩はどちらもハイレベルとなり、⑨、⑩の AND ゲート出力⑪はハイレベルとなり、⑪の負論理と⑧の OR ゲート出力⑫と、Reset 出力⑬はロウレベルを保持し、動作を維持する。

次に、図 2B の回路において、アンダーフローが検出された場合の動作を図 2B^{2D}を用いて説明する。正常動作時で Reset 出力⑬はロウレベルを保持している状態中に W-CLK①の位相が何らかの要因、例えば①を供給する装置側の誤動作等で変動（図中の（W-CLK 変動））した場合、①の 1/2 分周波形は③となる。R-CLK②とその 1/2 分周波形④は図 2C の正常時と同じである。③、④の排他的論理和出力⑤は、2 つのフリップフロップ回路に入力される。これらのフリップフロップ回路は、オーバーフロー／アンダーフロー検出エッジ生成回路で生成された、アンダーフロー検出信号⑥、およびオーバーフロー検出信号⑦をエッジ信号として入力し、信号⑤に対して、検出信号⑥、⑦でハイレベルをラッチした場合に正常動作となる（オーバーフロー検出側のフリップフロップ回路の入力は負論理入力）が、W-CLK 変動直後に、アンダーフロー検出信号⑥をエッジ信号として入力するフリップフロップ回路は、その入力信号がロウレベルであるため、アンダーフロー検出内部信号⑨にロウレベルを出力する。この時オーバーフロー検出内部信号⑩はハイレベルを保持するが、⑨、⑩の AND ゲート出力⑪はロウレベルとなり、その結果、⑪の負論理と⑧の OR ゲート出力⑫、及び Reset 出力⑬はハイレベルとなる。この時内部 Reset 信号⑫は、①と②の 1/2 分周器にリセット信号として入力され、1/2 分周器は動作を停止、信号③、及び④はロウレベルに固定される。

図 2B の内部 Reset 信号⑫は図 2A の~~リセット~~^{u/o}検出信号として外部装置に出力される。外部装置はこの~~リセット~~^{u/o}検出信号を受けると、図 2A のバッファメモリ 11 においてデータの受け渡しを正常に行われていない事を認識する。この時、外部装置は図 2A の PLL ロック検出器出力 LKDaOUT と LKDbOUT をモニターし、この 2 つの出力がロック検出を出力した後、リセット解除信号 RST を生成して制御信号ポートに送ってくる。このリセット信号 RST は図 2A 中の

オーバーフロー／アンダーフロー検出回路 16 に入力され、検出回路のリセットを解除するとともに、リセット信号 RST に基づいて生成された内部リセット信号 Reset が AND ゲート G1 に供給される。なお、内部リセット信号 Reset は、オーバーフロー／アンダーフロー検出回路 16 において、読み出しクロック生成回路 13 で生成されるデータ読み出し用のクロック R-CLK に位相が同期する信号とされる。この動作は、図 2B 中の、⑫を入力、R-CLK②をエッジ信号として Reset 信号⑬を出力するフリップフロップ回路で構成される部分で実現する。

(27) ~~【0031】~~

<P10> ANDゲート G1 の他方の端子に入力されているモード選択信号 MS が ^{ハイ}ロ~~ウ~~レベルであると、上記内部リセット信号 Reset が ANDゲート G1 を介して書込み

(1) クロック生成回路 12 に供給されて、書込みクロック W-CLK1 ~ W-CLK4 の生成を禁止し、FIFOバッファメモリ 11 へのデータの取込みが中断される。

~~【0032】~~

上記第 1 の PLL 回路 14 A は、上記セクタ SEL を介して供給される入力 ^(の出力 ϕ_{in})側のクロック ~~CLK~~ と帰還クロック ϕ_f の位相を比較する位相比較器 PHCa と、外付けの容量素子からなるループフィルタ LPFa と、155 MHz の近傍で発振する外付けの電圧制御発振器 VCxO とから構成されている。ループフィルタ LPFa と電圧制御発振器 VCxO が外付けの素子で構成されているのは、精度の高い発振信号を得るためである。

(21) ~~はる第 2 の PLL 回路とにより構成するとよい。~~ 2 半導体チップ上に形成される容量や抵抗はばらつき易いが、外付け素子を用いて第 1 の PLL 回路を構成することによって、発生される発振信号の精度を高め、生成されるクロックの位相ずれを小さくすることができ、このクロックを用いて入力バッファにデータを取り込んで読み出すことでさらに正確なデータの受渡しが可能となる。

<P5> <P3> また、位相比較器 PHCa にて比較する 2 種のクロック ϕ_{in} 、 ϕ_f の位相、及び周波数の同期がとれていない場合を検出する PLL ロック検出器 LKDa を設け、その検出結果を信号 LKDaOUT で外部の装置に出力する機能を持つ。

(11)

~~【0033】~~

上記第2のPLL回路^(部)14Bは、第1のPLL回路^(部)14Aの電圧制御発振器VCOの発振信号と上記読出しクロック生成回路13から供給される読出しクロック^(R-CLK1~R-CLK4)R-CLKに同期したクロックの位相を比較する位相比較器PHCbと、ループフィルタLPFbと、10GHzの近傍で発振する電圧制御発振器VCObと、この発振信号を1/16に分周する分周回路DVDbとから構成されている。
<P11> 第2のPLL回路^(部)14Bを構成するループフィルタLPFbと電圧制御発振器VCObは、外付け素子でなく半導体チップ上に他の回路素子と共に形成された素子により構成される。第2のPLL回路は第1のPLL回路^(部)14Aの発振信号を受けて動作するので、ループフィルタLPFbと電圧制御発振器VCObが外付け素子で構成されていなくても、周波数精度の高い発振信号を生成できるためである。

また、位相比較器PHCbにて比較する2種のクロック ϕ f、R-CLKの位相、及び周波数の同期がとれていない場合を検出するPLLロック検出器LKDbを設け、その検出結果を信号LKDbOUTで外部の装置に出力する機能を持つ。

(12)

~~【0034】~~

さらに、この実施例では、上記FIFOバッファメモリ11の後段に、バッファメモリ11から読み出された16チャンネルの622MHzのデータ信号を10GHzのデータ信号に多重化するデマチプレクサ17が設けられ、多重化されたデータ信号は例えば電気信号を光信号に変換する光電変換モジュールへ供給され、光信号に変換されてから光ファイバを介して送信される。

(末)

~~【0035】~~

図4には、上記書込みクロック生成回路12の具体例が示されている。なお、読出しクロック生成回路13も同様の構成を有するので、説明は省略する。図4に示されているように、書込みクロック生成回路12は入力クロック ϕ_{in} を1/4に分周する分周回路DVD0と、各々出力端子が次段の回路の入力端子に接続されたフリップフロップF/F1～F/F4からなるシフトレジスタとにより構成されており、フリップフロップF/F1～F/F4にはそれぞれ共通の^(内部)リセット信号^(Reset)RSTが供給されるとともに入力クロック ϕ_{in} それ自身がラッチタイミング信号として各フリップフロップF/F1～F/F4のクロック端子に供給されている。そして、各フリップフロップF/F1～F/F4の出力信号が書込みクロックW-CLK1～W-CLK4として、前記4段構成のFIFOバッファメモリ11の各チャネルのシフトレジスタSFT1～SFT4の入力段FFiに供給されるように構成されている。

【0036】

従って、各書込みクロックW-CLK1～W-CLK4は、図3示すように、入力クロック ϕ_{in} の4倍の周期で互いに入力クロック ϕ_{in} の1周期分ずつ位相がずれた4種類のクロック信号となる。この書込みクロックW-CLK1～W-CLK4によってFIFOバッファメモリ11では、シフトレジスタSFT1～SFT4に入力データが順に取り込まれて行く。また、(図5の期間T1のように、内部リセット信号Resetが無効状態(ハイレベル)にされると、各フリップフロップF/F1～F/F4は入力クロック ϕ_{in} が変化してもラッチ動作しなくなるため、書込みクロックW-CLK1～W-CLK4も変化せず、FIFOバッファメモリ11はデータの取込みを停止する。

【0037】

一方、内部リセット信号Resetが、図^{5/}の期間T2のように有効状態(ロウレベル)にされると、各フリップフロップF/F1～F/F4は入力クロック ϕ_{in} が変化する度にラッチ動作するため、書込みクロックW-CLK1～W-CLK4が生成され、これによってFIFOバッファメモリ11はデータの取込み動作を開始することとなる。しかも、このとき内部リセット信号Resetは、外部から^(制御信号ポートに)供給されるリセット信号RSTがロウレベルに変化された後、読出し側の基準

整理番号=H00006551

（すなわちPLLクロック）（データ読出し用）
 クロックCLKを4分周したクロックR-CLKの最初の立上がりに同期して形
 （よくすることにより、）（すなわちPLL）（CLKがデータ取り込み用入力クロックφin）
 成されるため、読出しクロックが書込みクロックと非同期であったとしても、内
 部リセット信号Resetがロウレベルに変化した後、入力クロックφinの1周期
 （書き込みクロック生成回路12（図4）の）
 以内に分周器DVD0が分周を開始して書込みクロックW-CLK1～W-CLK
 K4が生成されるようになる。

要修正
 級落?

【0038】

その結果、この実施例では、読出しクロックR-CLKが不安定な入力クロッ
 クφinではなく安定した外部基準クロックφ0に基づいて生成されたとしても
 、書込みクロックW-CLK1～W-CLK4は、その位相が、図6に示すよう
 に読出しクロックR-CLKの位相（φinの1周期（データ1bit）内に収
 （下対して）（TV）
 まるように制御されることとなる。従って、リセット解除直後は、仮に位相が最
 もずれた状態でPLLがロックしたとしても、バッファメモリ11に対する書込
 みデータはφinの4倍の周期を有する書込みクロックに同期しているため、図
 （R-CLK1～R-CLK4）
 6のように、読出しクロックの相対的な変動範囲に対して前後にφinの1.5
 周期分ずつマージンがあることになるので、誤ったデータの読出しが回避される
 。

【0039】

また、仮に動作途中で入力クロックφinすなわち書込みクロックの位相が、
 （のたみの）（すなわちPLLクロックCLK）
 読出しクロックの位相とかなりずれてしまったとしても、半周期ずれると前記オ
 ーバーフロー/アンダーフロー検出回路16が位相のずれを検出して検出信号φ
 U/O
 /Pを出力し、外部装置がそれを受けてリセット信号RSTを入力し直してくる
 ことにより、書込みクロック生成回路12が書込みクロックの生成を一旦停止し
 た後に再開することで位相のずれが修正されることとなる。その結果、読出しク
 ロックR-CLKを不安定な入力クロックφinではなく安定した外部基準クロ
 ックφ0に基づいて生成するモードにおいても、誤ったデータの受渡しが回避さ
 れる。

【0040】

図7には、上記実施例のデータ送信回路を適用した光通信用LSI（トランシ
 ーバ・チップ）の概略構成例を示す。

【0041】

図7のトランシーバ・チップ100は、上記実施例のデータ送信回路からなる送信部110と、データを受信する受信部120とを備えている。図7においては、回路構成を簡略化して示しており、送信用PLL回路111は図2におけるPLL回路14A、14Bに、FIFO112は図2におけるバッファメモリ11にそれぞれ相当し、書込みクロック生成回路12等他の回路は図示が省略されている。一方、受信部120は受信したシリアルデータ信号の波形を整形するとともに受信データ信号の変化を捉えてクロックを生成する回路(CDR)121や、多重化されている16チャンネルの受信データを各チャンネル毎のデータ信号に分離するデマルチプレクサ122などから構成されている。上記CDR回路121には受信データから抽出されたクロックを基準クロックとして安定した周波数のクロックを生成して上記デマルチプレクサ122に供給する送信用PLL回路が設けられる。

Q
CDRは
何の形
ですか？

【0042】

上記送信部110のマルチプレクサ17の出力端子には、レーザーダイオード310を駆動するLDドライバチップ210が接続され、レーザーダイオード310が電気信号である送信データ信号を光信号に変換して光ファイバ400aへ出力する。また、受信部120のCDR回路121の入力端子にはプリアンプ220が接続されており、このプリアンプ220は、光ファイバ400bから受信した光信号を電気信号に変換するホトダイオード320で変換された電気信号を増幅してCDR回路121の入力端子に供給するように構成されている。

【0043】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明はそれに限定されるものでなく、例えば前記実施例では、書込み用クロック生成回路が、PLL回路が安定した外部クロックに基づいて動作しているときにリセット信号が入力された場合には読出しクロック生成回路で生成されたクロックに基づいて書込み用クロックの生成を開始するように構成されているが、読出しクロック生成回路で生成されたクロックの代わりに分周回路DVBから供給されるクロックに基づいて書込み用クロックの生成を開始するように構成とする

(1) ことも可能である。

【0044】

<P15> 以上の説明では主として本発明者^等によってなされた発明をその背景となった利用分野であるPLL回路からなるクロック生成回路を備えた通信用LSIに適用した場合について説明したが、本発明はPLL回路を内蔵する半導体集積回路一般に利用することができる。

(21)

【0012】

<P4> 上記した^{実施例}手段によれば、入力クロックの位相が安定しているシステムでは入力クロックに基づいて読出しクロックを生成し、入力クロックの位相が安定していないシステムでは安定した外部クロックに基づいて読出しクロックを生成することができ、これによって、入力クロックの位相が安定している場合は勿論のこと、入力クロックの位相が安定していない場合においても正確なデータの受渡しが可能となる。また、^{上記した}（半導体集積回路装置）当該通信用LSIが使用されるユーザーシステムの構成によって入力クロックの位相が安定している場合と安定していない場合があったとしても、いずれのシステムに対しても1つのLSIで対応することができるようになる。

(44)

【0040】

<P15> ^{また、}すなわち、本発明に従うと、入力クロックに基づいて入力データを取り込んで出力するバッファを有する通信用半導体集積回路において、入力クロックの位相が安定していない場合においても正確なデータの受渡しを可能するクロックを生成可能なクロック生成回路を実現することができる。また、入力クロックと基準となるクロックのいずれのクロックにも対応可能なクロック生成回路を実現することができる。

クレーム

1. 入力データに関連した入力クロックに基づいた書き込みクロックにより入力データが書き込まれ、書き込まれたデータが読み出しクロックにより読み出されるバッファと、
外部からの選択信号に基づいて、前記入力クロックおよび外部から供給される安定化された外部クロックのいずれかを選択するクロック切り替え手段と、
前記クロック切り替え手段の出力に基づいて読み出しクロックを生成する回路とを有し、前記読み出しクロック生成回路は、
前記クロック切り替え手段の出力を受けそれにロックされたPLLクロックを発生するPLL回路と、前記PLLクロックを分周して前記読み出しクロックを発生する分周器とを含む、
通信用半導体集積回路装置。
2. クレーム1において、前記クロック切り替え手段により前記外部から供給される安定化された外部クロックが選択されているとき、外部からの制御信号と前記PLLクロックに基づくクロック信号とに応答して前記書き込みクロックを生成することができる、書き込みクロック生成回路をさらに有する、通信用半導体集積回路装置。
3. クレーム2において、前記書き込みクロック生成回路からの前記書き込みクロックと、前記読み出しクロック生成回路からの前記読み出しクロックとを位相比較して両者の位相差が所定値以上になったことを示す検出信号を発生する検出器をさらに有し、前記外部からの制御信号は前記検出信号に応答して半導体集積回路装置に供給される、通信用半導体集積回路装置。
4. クレーム1において、前記PLL回路は、前記クロック切り替え手段の出力を受け

中間基準クロックを発生する第1のPLL回路部と、前記中間基準クロックを受け前記PLLクロックを発生する第2のPLL回路部とを含み、前記第1のPLL回路部は外付けされた電圧制御発振器を備え、前記第2のPLL回路部は外付け素子をもたない、通信用半導体集積回路装置。

5. クレーム1において、前記バッファは複数のチャンネルのシリアルデータを受け渡す構成をもっており、前記バッファから読み出された複数のチャンネルのシリアルデータを多重化するマルチプレクサをさらに有する、通信用半導体集積回路装置。

6. 単一の半導体チップに形成された、受信データを正確に受渡するための半導体集積回路装置であって、

装置への入力データを受け入れるための入力データポートと、

前記入力データに関連したデータ取り込み用クロックを受け入れるための入力クロックポートと、

前記チップの外部から安定化されたクロックを受け入れるための外部クロックポートと、

前記チップの外部から制御信号を受け入れるための制御信号ポートと、

出力データポートと、

受信データが書き込みクロックにより書き込まれ、書き込まれたデータが読み出しクロックにより読み出されて前記出力データポートへ送り出される、バッファと、

前記読み出しクロックを決定するためのクロック生成回路とを有し、

前記書き込みクロックは通常は前記データ取り込み用クロックに基づいており、前記制御信号ポートに受けた前記制御信号により有効にされるかあるいは無効にされ、

前記クロック生成回路は

前記入力クロックポートから前記データ取り込み用クロックの一部を、また前記外部クロックポートから前記安定化されたクロックを受け、その出力として前記データ取り込み用クロックおよび前記安定化されたクロックのいずれか1つを通過させるセクタと、

前記セクタの出力を受けると接続され、そのセクタ出力にロックされたPLLクロックを発生するPLLとを

含み、

前記読み出しクロックは、前記PLLクロックに基づいている、

半導体集積回路装置。

7. クレーム6において、前記PLLは、前記セクタの出力を受け中間基準クロックを発生する第1のPLL部と、前記中間基準クロックを受け前記PLLクロックを発生する第2のPLL部とを含み、前記第1のPLL部は電圧制御発振器を外部接続するための発振器接続ポートに接続され、前記第2のPLL部は外付け素子をもたない、半導体集積回路装置。

8. 単一の半導体チップに形成された、受信データを正確に受渡しするための半導体集積回路装置であって、

装置への入力データを受けるとの入力データポートと、

前記入力データに関連したデータ取り込み用クロックを受けるとの入力クロックポートと、

前記チップの外部から安定化されたクロックを受けるとの外部クロックポートと、

前記チップの外部から外部制御信号を受けるとの制御信号ポートと、

検出信号ポートと、

出力データポートと、

受信データが書き込みクロックにより書き込まれ、書き込まれたデータが読み出し

クロックにより読み出されて前記出力データポートへ送り出される、バッファと、

前記書き込みクロックおよび前記読み出しクロックを決定するためのクロック生成回路とを有し、

前記クロック生成回路は

前記入力クロックポートから前記データ取り込み用クロックを受け、前記制御信号ポートから前記外部制御信号を受けるように接続されて前記外部制御信号の制御の下に前記データ取り込み用クロックから前記書き込みクロックを発生する手段と、

前記書き込みクロック発生手段から前記前記書き込みクロックの一部を、前記外部クロックポートから前記安定化されたクロックを受け、その出力として前記書き込みクロックおよび前記安定化されたクロックのいずれか1つを通過させるセクタと、

前記セクタの出力を受けるように接続され、そのセクタ出力にロックされたPLLクロックを発生するPLLと、

前記PLLから前記PLLクロックを受けるように接続されてそれから前記読み出しクロックを発生する手段と、

前記書き込みクロック発生手段から前記書き込みクロックの他の一部を、前記読み出しクロック発生手段から前記読み出しクロックの一部を受けるように電氣的

に接続され、前記書き込みクロックと前記読み出しクロックとを位相比較し、位相比較結果に基づき前記検出信号ポートに供給すべき内部制御信号を発生するための検出器とを含み、

前記外部制御信号は、前記内部制御信号に応答して前記制御ポートに供給されて前記書き込みクロックを有効にするかあるいは無効にする制御をする、

半導体集積回路装置。

9. クレーム8において、前記PLLは、前記セクタの出力を受け中間基準クロックを発生する第1のPLL部と、前記中間基準クロックを受け前記PLLクロックを発生する第2のPLL部とを含み、前記第1のPLL部は電圧制御発振器を外部接続するための発振器接続ポートに接続され、前記第2のPLL部は外付け素子をもたない、半導体集積回路装置。

アブストラクト

入力クロックに基づいて入力データを取り込むバッファを含む半導体集積回路装置は、前記入力クロックおよび位相の安定した外部クロックのいずれかを選択するセレクタと、そのセレクタの出力を基準クロックとして動作するPLL回路と、そのPLL回路の出力を分周して読み出しクロックを発生する読み出しクロック発生回路とを有する。

2019-08-27 14:00:00